

Partial Translation of

JP 60(1985)-89912 A

Publication Date: May 20, 1985
5 Application No.: 58(1983)-197819
Filing Date: October 21, 1983
Inventor: Hiroshi GOTO
Inventor: Kenzo Ikegami
Applicant: Matsushita Electric Industrial Co., Ltd.
10 Title of the Invention: MULTILAYER BOARD BUILT-IN CAPACITOR

Translation of page 4, line 14 to page 5, line 19

Fig. 4 is a perspective view showing the appearance of a multilayer board built-in capacitor as one example of the present invention, and Fig. 5
15 is a cross-sectional view taken along a line B-B' of the same.

In these drawings, 1a denotes a multilayer board with a capacitor built therein. A square first electrode 5a that will constitute the capacitor is formed by printing on a sheet 2 made of alumina serving as a base of the multilayer board, followed by printing of a first insulation layer 3 made of
20 alumina. On a surface of the insulation layer 3, a square second electrode 6a that will constitute the capacitor is printed, and further a second insulation layer (not shown) is formed thereon.

By baking the thus obtained multilayer board, the multilayer board 1a with a capacitor built therein can be obtained.

25 In this multilayer board 1a, as is evident from Fig. 4, both of the electrode 5a and the electrode 6a have similar figures of square, and the size of the electrode 5a and the arrangement of both of the electrodes 5a and 6a are determined so that even when the electrode 6a is displaced due to pattern misalignment and the like, projection of the electrode 6a is still
30 located within a plane of the electrode 5a.

That is to say, the electrode 5a has a relationship of $l_1 > l_2$ for each side.

With this configuration, even when both of the electrodes 5a and 6a are displaced horizontally and vertically due to printing or lamination, an
35 area of the overlapping portion of both of the electrodes 5a and 6a does not change, so that there occurs no change in capacitance.

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭60-89912

⑤ Int.Cl.⁴

H 01 G 4/12
1/005

識別記号

庁内整理番号

2112-5E
7364-5E

④ 公開 昭和60年(1985)5月20日

審査請求 未請求 発明の数 1 (全4頁)

⑬ 発明の名称 多層基板内蔵コンデンサ

⑭ 特 願 昭58-197819

⑮ 出 願 昭58(1983)10月21日

⑯ 発 明 者 後 藤 寛 門真市大字門真1006番地 松下電器産業株式会社内
⑰ 発 明 者 池 上 健 三 門真市大字門真1006番地 松下電器産業株式会社内
⑱ 出 願 人 松下電器産業株式会社 門真市大字門真1006番地
⑲ 代 理 人 弁理士 中尾 敏男 外1名

明 細 書

1. 発明の名称

多層基板内蔵コンデンサ

2. 特許請求の範囲

(1) 2層以上の層にわたって形成するコンデンサの相対向する電極の一方の大きさを他方の大きさより小さくし、かつ前記一方の電極の投影が前記他方の電極面内に位置するような電極配置とすることを特徴とする多層基板内蔵コンデンサ。

(2) 相対向する電極が相似形であることを特徴とする特許請求の範囲第1項記載の多層基板内蔵コンデンサ。

3. 発明の詳細な説明

産業上の利用分野

本発明は多層基板の内部又は内部と表面の電極間にコンデンサを形成する多層基板内蔵コンデンサに関するもので、特にその電極形状および配置に特徴を有する。

従来例の構成とその問題点

2 ページ

最近アルミナを用いたセラミック多層基板が電子計算機や高周波回路に用いられるようになってきている。このアルミナを用いた多層基板はアルミナの誘電率が高く、浮遊容量が多く一つの欠点となっている。しかし、この誘電率が高いことを逆に利用し、多層基板の導体電極間にコンデンサを形成すると集積度が向上する。この内蔵コンデンサの電極形状として従来は正方形か長方形又は円形のものをお互にその投影形状が一致するように形成していた。しかしアルミナを用いた多層基板は一般に印刷法により電極を形成し、絶縁層は印刷又は積層法により形成する為、層間のずれが容量の精度のばらつきの一つの要因となっている。さらに、第1図ないし第3図を用いて従来の多層基板内蔵コンデンサを詳説する。

第1図に於て、1はコンデンサ内蔵の多層基板であり、2が多層基板のベースとなるアルミナのシートであり、このシート2にコンデンサを形成する第一の電極8を印刷により形成し、次にアルミナの第一の絶縁層3を印刷し、その絶縁層3の

表面にコンデンサを形成する第二の電極 θ を印刷するか、あるいは、予じめ電極 θ を印刷済みの絶縁層3のアルミナのシートを積層する。さらにその上に第二の絶縁層(図示せず)を形成する。アルミナを用いた多層基板は一般に上述したような方法によって多層化し、多層化後、焼成し完成した多層化基板となる。この多層基板では θ 及び θ の電極の面積と3で示した第一の絶縁層の厚さと、その絶縁層3の誘電率によってコンデンサの容量が決定される。実際の基板では各層間に配線用導体も、前記した θ と θ の電極形成時に同時に形成されるがここでは省略している。このコンデンサの容量のばらつく要因としては、 θ および θ の電極の面積の誤差、第一の絶縁層3の厚さとその絶縁層の誘電率のばらつきの外に、前記したように印刷法によってそれぞれの電極が形成されると印刷のずれにより、又積層法による場合はさらに積層ずれも追加され、第3図に示すように電極位置がずれ所定容量のコンデンサを得ることが困難であるという欠点があった。

発明の目的

本発明は上記した欠点を改善し、精度向上に有効な電極形状の多層基板内蔵コンデンサを提供するものである。

発明の構成

本発明は2層又は2層以上の層にわたって形成するコンデンサの一对の電極の大きさを互いに異ならしめ、かつ一方の電極の投影が他方の電極面内に位置するように相対向する電極を配置することを特徴とした多層基板内蔵コンデンサにある。

実施例の説明

以下本発明の一実施例を第4図、第5図を用いて説明する。

第4図は本発明の一実施例である多層基板内蔵コンデンサの外観斜視図、第5図は同B-B'部断面図である。

図中1は、コンデンサ内蔵の多層基板である。多層基板のベースとなるアルミナのシート2にコンデンサを形成する正方形の第1の電極 θ を印刷により形成し、次にアルミナの第1の絶縁層3

を印刷し、その絶縁層3の表面にコンデンサを形成する正方形の第2の電極 θ を印刷するとともに、さらにその上に第2の絶縁層(図示せず)を形成する。

このようにして得られた多層化基板を焼成することによりコンデンサ内蔵の多層基板1を得ることができる。

この多層基板1では第4図より明らかなように電極 θ と電極 θ は共に正方形の相似形であり、かつ電極 θ が印刷ずれなどにより位置ずれしてもなお電極 θ の投影が電極 θ 面内に位置するように電極 θ の大きさおよび両電極 θ 、 θ の配置が決められている。

すなわち、電極 θ は一边 $\theta_1 > \theta_2$ なる関係を有する。

このようにすることにより両電極 θ 、 θ が横方向および縦方向に印刷あるいは積層によりずれた場合でも両電極 θ 、 θ の相重なり合う部分の面積が変わらないため容量の変化は生じない。

尚、本実施例では両電極の形状を正方形とした

例を示したが、これに限るものではなく、一方又は両方の電極形状を長方形、円など種々の形状を選択、組合せてもよく、また相対向する電極形状を互いに異ならしめてもよい。

ここで必要なことは電極の大きさに大小関係を設け、位置ずれなどによってもなお小さい方の電極の投影が大きい方の電極面内に位置するように両電極の大きさおよび配置を選択することである。

発明の効果

このように本発明によれば印刷および積層のずれによる容量の変化は皆無であり、精度の高い内蔵コンデンサを形成することができる。

4. 図面の簡単な説明

第1図は従来の多層基板内蔵コンデンサの外観斜視図、第2図は同A-A'断面図、第3図は同コンデンサの構成を示す断面図、第4図は本発明の一実施例である多層基板内蔵コンデンサの外観斜視図、第5図は同B-B'部断面図である。

2……ベースシート、3……絶縁層、 θ 、 θ 、 θ 、 θ ……電極。

図 1 図

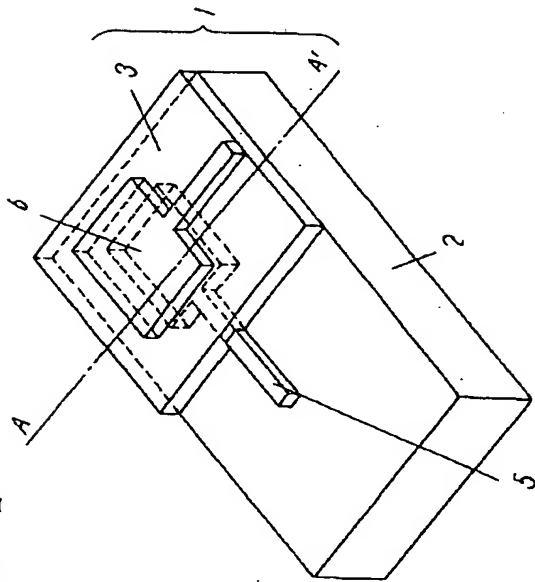


図 2 図

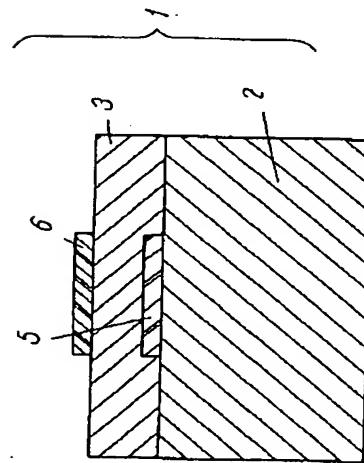


図 4 図

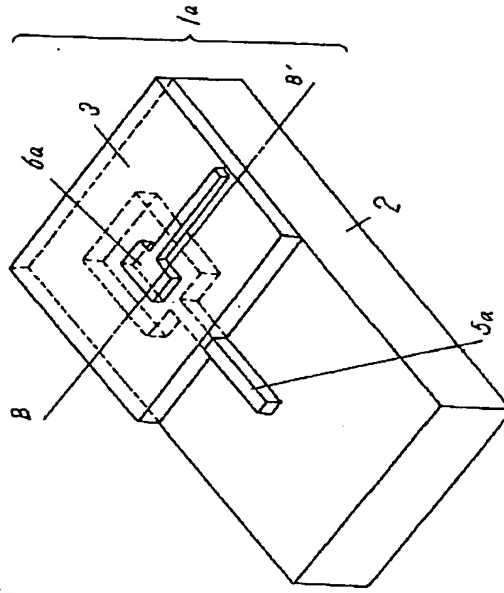
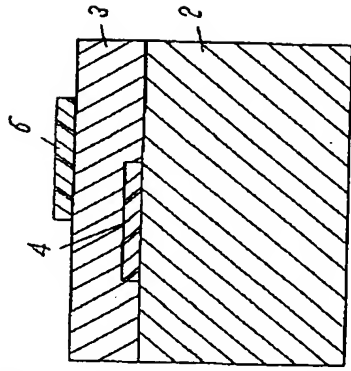


図 3 図



第 5 図

